

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-018500

(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

H04N 5/66
G09G 3/20
G09G 3/36
G09G 5/00
H04N 7/01
H04N 9/64

(21)Application number : 2002-089845

(71)Applicant : SHARP CORP

(22)Date of filing : 27.03.2002

(72)Inventor : TOMIZAWA KAZUNARI
SHIOMI MAKOTO
MIYATA HIDETOSHI
MIYAJI KOICHI
JINDA AKIHITO

(30)Priority

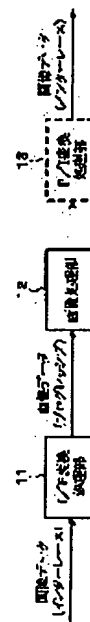
Priority number : 2001133564 Priority date : 27.04.2001 Priority country : JP

(54) IMAGE PROCESSING CIRCUIT, IMAGE DISPLAY DEVICE, AND AN IMAGE PROCESSING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image processing circuit with enhanced processing accuracy in the case of applying image processing including comparison in time series or space to image data supplied by the interlace system.

SOLUTION: Interlace image data, which have been supplied, are converted into progressive image data in an I/P conversion section 11, and the image data converted into progressive style in the I/P conversion section 11 are subjected to image processing including data comparison in spatial or time series manner, in an image processing section 12.



LEGAL STATUS

[Date of request for examination]

12.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-18500

(P2003-18500A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 4 N 5/66	1 0 2	H 0 4 N 5/66	1 0 2 Z 5 C 0 0 6
G 0 9 G 3/20	6 1 2	G 0 9 G 3/20	6 1 2 U 5 C 0 5 8
	6 3 2		6 3 2 C 5 C 0 6 3
			6 3 2 F 5 C 0 6 6
	6 4 2		6 4 2 L 5 C 0 8 0

審査請求 未請求 請求項の数21 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2002-89845 (P2002-89845)
(22) 出願日 平成14年3月27日 (2002.3.27)
(31) 優先権主張番号 特願2001-133564 (P2001-133564)
(32) 優先日 平成13年4月27日 (2001.4.27)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72) 発明者 富沢 一成
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内
(72) 発明者 塩見 誠
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内
(74) 代理人 100080034
弁理士 原 謙三

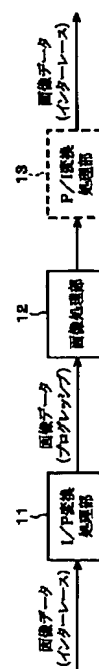
最終頁に続く

(54) 【発明の名称】 画像処理回路、画像表示装置、並びに画像処理方法

(57) 【要約】

【課題】 インターレース方式で入力される画像データに対して、時系列的若しくは空間的な比較を含む画像処理を行なうにあたって、処理精度の向上を図る。

【解決手段】 入力されたインターレース方式の画像データを、I/P変換処理部11にてプログレッシブ方式の画像データに変換し、I/P変換処理部11によってプログレッシブ方式に変換された画像データに対して、画像処理部12にて時系列的または空間的なデータ比較を含む画像処理を施す。



【特許請求の範囲】

【請求項 1】インターレース方式の画像データが入力され、該画像データに対して時系列的または空間的なデータ比較を含む画像処理を施す画像処理回路において、入力されたインターレース方式の画像データを、プログレッシブ方式の画像データに変換する I/P 変換手段と、

上記 I/P 変換手段によってプログレッシブ方式に変換された画像データに対して、画像処理を施す画像処理手段とを備えており、

上記 I/P 変換手段は、インターレース方式の画像データの各フィールドで新たなデータを作成して補間することで、インターレース方式の画像データからプログレッシブ方式の画像データへの変換時に全画像データのフィールド数を変化させないものであると共に、I/P 変換処理によってデータが補間されるラインは、少なくとも、その副走査方向の前後の 1 または複数のラインのデータを用いた演算によってデータが与えられるものであることを特徴とする画像処理回路。

【請求項 2】上記 I/P 変換手段は、I/P 変換処理によってデータが補間されるラインに対し、データが補間されるラインの副走査方向の前後の 1 または複数のラインのデータと、データが補間されるラインを含むフィールドの前後の 1 または複数のフィールドのデータとを用いた演算によって補間データを与えるものであることを特徴とする請求項 1 に記載の画像処理回路。

【請求項 3】インターレース方式の画像データが入力され、該画像データに対して画像処理を施す画像処理回路において、

入力されたインターレース方式の画像データをプログレッシブ方式の画像データに変換する I/P 変換手段と、上記 I/P 変換手段によってプログレッシブ方式に変換された画像データに対して、画像処理として、オーバーシュート駆動に係る画像処理を施す画像処理手段とを備えていることを特徴とする画像処理回路。

【請求項 4】インターレース方式の画像データが入力され、該画像データに対して画像処理を施す画像処理回路において、

入力されたインターレース方式の画像データをプログレッシブ方式の画像データに変換する I/P 変換手段と、上記 I/P 変換手段によってプログレッシブ方式に変換された画像データに対して、画像処理として、表示手段のデバイス特性を補正する色補正処理を施す画像処理手段とを備えていることを特徴とする画像処理回路。

【請求項 5】インターレース方式の画像データが入力され、該画像データに対して画像処理を施す画像処理回路において、

入力されたインターレース方式の画像データをプログレッシブ方式の画像データに変換する I/P 変換手段と、上記 I/P 変換手段によってプログレッシブ方式に変換

された画像データに対して、画像処理として、ホワイトバランス補正処理を施す画像処理手段とを備えていることを特徴とする画像処理回路。

【請求項 6】上記画像処理手段は、時系列的なデータ比較を含む画像処理を施すものであり、上記 I/P 変換手段は、現フィールドの画像データに対して I/P 変換処理を行なう現フィールド I/P 変換部と、前フィールドの画像データに対して I/P 変換処理を行なう前フィールド I/P 変換部とを別個に備えていることを特徴とする請求項 1 ないし 4 の何れかに記載の画像処理回路。

【請求項 7】上記 I/P 変換手段は、現フィールド I/P 変換部と前フィールド I/P 変換部との両方で、時系列的なデータ比較を含む I/P 変換処理を行なうことを特徴とする請求項 6 に記載の画像処理回路。

【請求項 8】上記 I/P 変換手段は、現フィールド I/P 変換部と前フィールド I/P 変換部との両方で、時系列的なデータ比較を含まない I/P 変換処理を行なうことを特徴とする請求項 6 に記載の画像処理回路。

【請求項 9】上記 I/P 変換手段は、現フィールド I/P 変換部で時系列的なデータ比較を含む I/P 変換処理を行ない、前フィールド I/P 変換部で時系列的なデータ比較を含まない I/P 変換処理を行なうことを特徴とする請求項 6 に記載の画像処理回路。

【請求項 10】上記 I/P 変換手段は、現フィールド I/P 変換部と前フィールド I/P 変換部とで、I/P 変換処理に用いるメモリを共有することを特徴とする請求項 7 に記載の画像処理回路。

【請求項 11】上記 I/P 変換手段は、現フィールド I/P 変換部で m フィールド分のデータを用いた I/P 変換処理を行ない、前フィールド I/P 変換部で 1 以上 (m-1) 以下のフィールド分のデータを用いた I/P 変換処理を行なうことを特徴とする請求項 10 に記載の画像処理回路。

【請求項 12】上記画像処理手段は、時系列的なデータ比較を含む画像処理を施すものであり、

上記 I/P 変換手段によって変換されたプログレッシブ信号は、画像処理手段への入力前に、画像処理手段に直接入力される現フィールドの画像データと、データ遅延メモリに一旦格納され現フィールドの画像データに対して 1 フィールド遅らせて画像処理手段に入力される前フィールドの画像データとに分岐されることを特徴とする請求項 1 ないし 4 の何れかに記載の画像処理回路。

【請求項 13】上記画像処理手段は、時系列的なデータ比較を含む画像処理を施すものであり、

上記 I/P 変換手段は、1 または複数のフィールド分のデータを用いて、現フィールドの画像データと前フィールドの画像データとを作成し、補間データの追加された前フィールドおよび現フィールドの画像データを後段の画像処理手段に対して同時に出力することを特徴とする

請求項1ないし4に記載の画像処理回路。

【請求項14】上記I/P変換手段は、インターレース方式の画像データの各フィールドで新たなデータを作成して補間することで、インターレース方式の画像データからプログレッシブ方式の画像データへの変換時に全画像データのフィールド数を変化させないものであると共に、I/P変換処理によってデータが補間されるラインは、少なくとも、その副走査方向の前後の1または複数のラインのデータを用いた演算によってデータが与えられるものであることを特徴とする請求項3ないし5の何れかに記載の画像処理回路。

【請求項15】上記I/P変換手段は、I/P変換処理によってデータが補間されるラインに対し、データが補間されるラインの副走査方向の前後の1または複数のラインのデータと、データが補間されるラインを含むフィールドの前後の1または複数のフィールドのデータとを用いた演算によって補間データを与えるものであることを特徴とする請求項14に記載の画像処理回路。

【請求項16】請求項1ないし15の何れかに記載の画像処理回路を備えていることを特徴とする画像表示装置。

【請求項17】インターレース方式の画像データに対して時系列的または空間的なデータ比較を含む画像処理を施す画像処理方法において、

インターレース方式の画像データを、プログレッシブ方式の画像データに変換するI/P変換工程と、

上記I/P変換工程によってプログレッシブ方式に変換された画像データに対して、画像処理を施す画像処理工程とを備えており、

上記I/P変換工程は、インターレース方式の画像データの各フィールドで新たなデータを作成して補間することで、インターレース方式の画像データからプログレッシブ方式の画像データへの変換時に全画像データのフィールド数を変化させないものであると共に、I/P変換処理によってデータが補間されるラインは、少なくとも、その副走査方向の前後の1または複数のラインのデータを用いた演算によってデータが与えられるものであることを特徴とする画像処理方法。

【請求項18】上記I/P変換工程は、I/P変換処理によってデータが補間されるラインに対し、データが補間されるラインの副走査方向の前後の1または複数のラインのデータと、データが補間されるラインを含むフィールドの前後の1または複数のフィールドのデータとを用いた演算によって補間データを与えるものであることを特徴とする請求項17に記載の画像処理方法。

【請求項19】インターレース方式の画像データに対して画像処理を施す画像処理方法において、

インターレース方式の画像データをプログレッシブ方式の画像データに変換するI/P変換工程と、

上記I/P変換工程によってプログレッシブ方式に変換

された画像データに対して、画像処理として、オーバーシュート駆動に係る画像処理を施す画像処理工程とを備えていることを特徴とする画像処理方法。

【請求項20】インターレース方式の画像データに対して画像処理を施す画像処理方法において、

インターレース方式の画像データをプログレッシブ方式の画像データに変換するI/P変換工程と、

上記I/P変換工程によってプログレッシブ方式に変換された画像データに対して、画像処理として、表示手段のデバイス特性を補正する色補正処理を施す画像処理工程とを備えていることを特徴とする画像処理方法。

【請求項21】インターレース方式の画像データに対して画像処理を施す画像処理方法において、

インターレース方式の画像データをプログレッシブ方式の画像データに変換するI/P変換工程と、

上記I/P変換工程によってプログレッシブ方式に変換された画像データに対して、画像処理として、ホワイトバランス補正処理を施す画像処理工程とを備えていることを特徴とする画像処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、インターレース形式の画像データの入力を受け、該画像データに対して時系列的若しくは空間的なデータ比較を含む画像処理を行なう画像処理回路、画像表示装置、並びに画像処理方法に関するものである。

【0002】

【従来の技術】従来、画像表示装置に入力される画像データは、表示部においてより良い表示品位を得るために種々の画像処理が施されてから、表示部に供給されることが多い。このような画像処理としては、オーバーシュート駆動に係る画像処理、ホワイトバランス補正処理、色補正処理等がある。

【0003】オーバーシュート駆動とは、累積応答する液晶パネルにおける応答速度の向上を図るための駆動方法である。オーバーシュート駆動に係る画像処理としては、前フィールドの画像データにおける階調値と現フィールドの画像データにおける階調値とを比較し、その比較結果に応じて、現フィールドにおいて液晶画素に印加する電圧、すなわち、現フィールドの画像データにおける濃度値を変換する処理が行なわれる。つまり、オーバーシュート駆動に係る画像処理では、時系列的に連続するフィールドの画像データに関するデータ比較が含まれる。

【0004】ホワイトバランス補正処理とは、液晶パネルの透過率に応じてR（レッド）、G（グリーン）、B（ブルー）の階調データを独立に調整する画像処理である。すなわち、液晶パネルでは、画素の透過率を変化させると波長分散のため、RGB輝度のバランスが変化してしまうため、このバランス変化をホワイトバランス補

10

20

30

40

50

正によって修正することが必要である。また、液晶パネルによるカラー表示では、一つのカラー画素においてR、G、B各色の副画素が配列されているため、ホワイトバランス補正処理ではこれらの副画素における階調値の比較が必要である。つまり、ホワイトバランス補正処理では、空間的に連続する画素のデータ比較が含まれる。

【0005】また、色補正処理とは、画像表示装置のデバイス特性によって映像の送り手が想定している色とは異なった色が表示されてしまう不具合を回避するために行なわれる画像処理である。色補正処理では、各画素のRGB信号を参照し、ホワイトバランスを崩すこと無しに補正されRGB信号を出力するようにする。上記色補正処理においても、R、G、B各色に対応して配列される副画素における階調値の比較が必要であり、空間的に連続する画素のデータ比較が含まれる。また、色補正処理では、時系列的なデータ比較が含まれる場合もある。

【0006】このように、画像処理では、入力される画像データの時系列的若しくは空間的なデータ比較を必要とする処理があり、時系列的な処理を施す画像処理回路は、例えば、図16に示すような構成となる。

【0007】図16に示す画像処理回路では、画像データが入力されると、該画像データは最初に2つ以上に分岐され（図では、2つに分岐）、一つは直接画像処理部101へ入力され、もう一方は、一旦メモリ102に保存された後、1フィールド遅れて画像処理部101へ入力される。

【0008】すなわち、上記画像処理回路では、画像処理部101に直接入力される方の画像データが現フィールドを示すデータとなり、メモリ102を介して画像処理部101に入力される方の画像データが前フィールドを示すデータとなる。画像処理部101では、入力された現フィールドの画像データと前フィールドの画像データとが比較され、その比較の結果、現フィールドの画像データが変換されて表示部へ出力される。

【0009】一方、画像表示装置において入力される画像データとして、インターレース方式の画像データ（以下、インターレース信号と称する）が入力されることがある。インターレース信号では、図17に示すように、各フィールド画像において1走査線おきにデータが存在する信号が入力され、さらに、連続する2フィールドの画像データでは、データの存在するラインが垂直方向に1ラインずつずれたものとなっている。

【0010】

【発明が解決しようとする課題】ところが、インターレース信号が入力される画像処理回路において、上述のような時系列的なデータ比較を必要とする画像処理を行なおうとする場合には、図17に示すように、連続する2フィールド（前フィールドおよび現フィールド）の画像データにおける比較ラインの不一致が生じる。

【0011】すなわち、現フィールドにおけるNライン目の信号を、前フィールドの信号と比較しようとする場合、本来は、前フィールドにおいてもNライン目の信号を用いなければならないはずである。しかしながら、インターレース信号では、連続する2フィールドの画像データでは、データの存在するラインが垂直方向に1ラインずつずれているため、現フィールドにおいてNライン目のデータが存在する場合、前フィールドにおいてはNライン目のデータが存在しない。

【0012】したがって、インターレース信号が入力される画像処理回路では、同一ラインでのデータ比較は不可能であり、垂直方向に1ライン分ずれたライン同士でデータ比較が実施されることとなり、表示品位の著しい劣化や、場合によっては表示における誤動作を引き起こす要因となる。

【0013】また、画像処理回路が空間的なデータ比較を行なう場合であっても、近年の画像処理装置では、高精細で鮮やかな表示が求められており、画像表示装置の表示能力を限界まで引きだす画像処理が要求されている。

【0014】ここで、CRT（Cathode-Ray Tube）のようなコントラストが高く、階調による色変化を伴わないデバイスでは信号精度を上げる（例えば、8bit）ことによって精細感を高めることができるが、LCD（Liquid Crystal Display）のような色再現性が比較的乏しいデバイスでは、単なる1画素の色を周辺との関わり無しに補正すると、画像全体中でのバランスを崩すことがある。

【0015】このため、このような問題を回避するためには、ホワイトバランス補正処理や色補正処理など、空間的なデータ比較を含む画像処理において、隣接する画素間（隣接する走査ライン上に存在するものを含む）での色比較を行い画像のバランスを考慮した補正を行なう必要がある。

【0016】しかしながら、この場合、画像処理回路に入力される画像データがインターレース信号である場合には、隣接するライン同士でデータ比較しようとする時に、比較されるべき画像データの一部が同一フィールド内に存在しない場合がある。このため、画像処理の精度が低くなるといった問題がある。

【0017】本発明は、上記の問題点を解決するためになされたもので、その目的は、インターレース方式で入力される画像データに対して、時系列的若しくは空間的な比較を含む画像処理を行なうにあたって、処理精度の向上を図ることができる画像処理回路、画像表示装置、並びに画像処理方法を提供することにある。

【0018】

【課題を解決するための手段】本発明の第1の構成の画像処理回路は、上記の課題を解決するために、インターレース方式の画像データが入力され、該画像データに対

して時系列的または空間的なデータ比較を含む画像処理を施す画像処理回路において、入力されたインターレース方式の画像データを、プログレッシブ方式の画像データに変換する I/P 変換手段と、上記 I/P 変換手段によってプログレッシブ方式に変換された画像データに対して、画像処理を施す画像処理手段とを備えており、上記 I/P 変換手段は、インターレース方式の画像データの各フィールドで新たなデータを作成して補間することで、インターレース方式の画像データからプログレッシブ方式の画像データへの変換時に全画像データのフィールド数を変化させないものであると共に、I/P 変換処理によってデータが補間されるラインは、少なくとも、その副走査方向の前後の 1 または複数のラインのデータを用いた演算によってデータが与えられるものであることを特徴としている。

【0019】上記の構成によれば、インターレース方式で入力される画像データに対して画像処理を行なうにあたって、画像処理手段による画像処理の前に、I/P 変換手段によってインターレース方式の画像データがプログレッシブ方式の画像データに変換される。すなわち、画像処理手段では、プログレッシブ方式の画像データに対して画像処理が施される。

【0020】ここで、上記画像処理手段における画像処理が時系列的なデータ比較を含むものである場合、インターレース信号を用いて画像処理を行なう場合のように、連続する 2 フィールドの画像データの異なるラインのデータを比較するといった不具合が生じず、異なるラインのデータを比較することによって生じる画像劣化を回避できる。

【0021】また、上記画像処理手段における画像処理が空間的なデータ比較を含むものである場合、入力される画像データがインターレース信号であれば、隣接するライン同士でデータ比較しようとする時に、比較されるべき画像データの一部分が同一フィールド内に存在しない場合があり、この場合には画像処理の精度が低くなる。

【0022】これに対し、本発明の構成によれば、空間的なデータ比較を含む画像処理においても、画像処理手段の前段に I/P 変換手段を置くことで、全てのラインでデータの抜けの無いプログレッシブ信号を用いて画像処理を行なうことができ、画像処理の精度を向上させることができる。

【0023】また、上記 I/P 変換において最も簡単な方法は、連続する 2 フィールドのインターレース信号を重ね合わせ 1 フィールドのプログレッシブ信号とする方法や、あるいは、インターレース信号においてデータの存在しないラインの前ラインもしくは後ラインの隣接ラインのデータをそのままコピーして補間する方法である。

【0024】しかしながら、これらの方法では、最初に入力されるインターレース信号において既に存在してい

るデータがそのまま用いられており、I/P 変換処理によって新たなデータが作成されているものではないため、画像処理の精度向上といった目的は達成できない、若しくは効果が小さい。

【0025】したがって、上記 I/P 変換手段では、インターレース方式の画像データの各フィールドで新たなデータを作成して補間することで、インターレース方式の画像データからプログレッシブ方式の画像データへの変換時に全画像データのフィールド数を変化させないようにすると共に、I/P 変換処理によってデータが補間されるラインが、その副走査方向の前後の 1 または複数のラインのデータを用いた演算によってデータが与えられる構成とすることで、画像処理の精度向上といった効果を確実に得ることができる。

【0026】また、上記第 1 の構成の画像処理回路においては、上記画像処理手段は、時系列的なデータ比較を含む画像処理を施すものであり、上記 I/P 変換手段は、I/P 変換処理によってデータが補間されるラインに対し、データが補間されるラインの副走査方向の前後の 1 または複数のラインのデータと、データが補間されるラインを含むフィールドの前後の 1 または複数のフィールドのデータとを用いた演算によって補間データを与えるものである構成とすることができる。

【0027】上記の構成によれば、さらに、I/P 変換処理によってデータが補間されるラインが、そのラインの副走査方向の前後の 1 または複数のラインのデータと、データが補間されるラインを含むフィールドの前後の 1 または複数のフィールドのデータとを用いた演算によって与えられる。このため、I/P 変換処理において、空間的な比較（同一フィールド内でのデータ比較）のみでなく、時系列的に連続する複数のフィールドのデータを比較して、動き補償を行なったより精度の高い I/P 変換処理を行なうことができ、画像処理のさらなる精度向上を得ることができる。

【0028】なお、補間データの演算において、データが補間されるラインを含むフィールドの前後の 1 または複数のフィールドのデータを用いるにあたっては、必ずしも、前フィールドのデータと後フィールドのデータとの両方を用いる必要はなく、前フィールドのデータのみを用いるものであってもよい。

【0029】また、本発明の第 2 の構成の画像処理回路は、上記の課題を解決するために、インターレース方式の画像データが入力され、該画像データに対して画像処理を施す画像処理回路において、入力されたインターレース方式の画像データをプログレッシブ方式の画像データに変換する I/P 変換手段と、上記 I/P 変換手段によってプログレッシブ方式に変換された画像データに対して、画像処理として、オーバーシュート駆動に係る画像処理を施す画像処理手段とを備えていることを特徴としている。

【0030】上記の構成によれば、インターレース方式で入力される画像データに対してオーバーシュート駆動に係る画像処理を行なうにあたって、画像処理手段による画像処理の前に、I/P変換手段によってインターレース方式の画像データがプログレッシブ方式の画像データに変換される。すなわち、画像処理手段では、プログレッシブ方式の画像データに対して画像処理が施される。

【0031】ここで、オーバーシュート駆動に係る画像処理は時系列的なデータ比較を含むものであるため、10 プログレッシブ方式の画像データに対して画像処理を施すことで、インターレース信号を用いて画像処理を行なう場合のように、連続する2フィールドの画像データの異なるラインのデータを比較するといった不具合が生じず、異なるラインのデータを比較することによって生じる画像劣化を回避できる。

【0032】また、本発明の第3の構成の画像処理回路は、上記の課題を解決するために、インターレース方式の画像データが入力され、該画像データに対して画像処理を施す画像処理回路において、入力されたインターレース方式の画像データをプログレッシブ方式の画像データに変換するI/P変換手段と、上記I/P変換手段によってプログレッシブ方式に変換された画像データに対して、画像処理として、表示手段のデバイス特性を補正する色補正処理を施す画像処理手段とを備えていることを特徴としている。

【0033】上記の構成によれば、インターレース方式で入力される画像データに対して色補正処理を行なうにあたって、画像処理手段による画像処理の前に、I/P変換手段によってインターレース方式の画像データがプログレッシブ方式の画像データに変換される。すなわち、画像処理手段では、プログレッシブ方式の画像データに対して画像処理が施される。

【0034】ここで、表示手段のデバイス特性を補正する色補正処理は主に空間的なデータ比較を含むものであるため、入力される画像データがインターレース信号であれば、隣接するライン同士でデータ比較しようとする時に、比較されるべき画像データの一部分が同一フィールド内に存在せず、画像処理の精度が低くなる。

【0035】これに対し、プログレッシブ方式の画像データに対して画像処理が施される場合には、全てのラインでデータの抜けが無いため、画像処理の精度を向上させることができる。

【0036】また、上記色補正処理は時系列的なデータ比較を含む場合もあり、この場合は異なるラインのデータを比較することによって生じる画像劣化を回避できる。

【0037】また、本発明の第4の構成の画像処理回路は、上記の課題を解決するために、インターレース方式の画像データが入力され、該画像データに対して画像処

理を施す画像処理回路において、入力されたインターレース方式の画像データをプログレッシブ方式の画像データに変換するI/P変換手段と、上記I/P変換手段によってプログレッシブ方式に変換された画像データに対して、画像処理として、ホワイトバランス補正処理を施す画像処理手段とを備えていることを特徴としている。

【0038】上記の構成によれば、インターレース方式で入力される画像データに対してホワイトバランス補正処理を行なうにあたって、画像処理手段による画像処理の前に、I/P変換手段によってインターレース方式の画像データがプログレッシブ方式の画像データに変換される。すなわち、画像処理手段では、プログレッシブ方式の画像データに対して画像処理が施される。

【0039】ここで、ホワイトバランス補正処理は空間的なデータ比較を含むものであるため、入力される画像データがインターレース信号であれば、隣接するライン同士でデータ比較しようとする時に、比較されるべき画像データの一部分が同一フィールド内に存在せず、画像処理の精度が低くなる。

【0040】これに対し、プログレッシブ方式の画像データに対して画像処理が施される場合には、全てのラインでデータの抜けが無いため、画像処理の精度を向上させることができる。

【0041】上記第1ないし第3の構成の画像処理回路では、上記画像処理手段は、時系列的なデータ比較を含む画像処理を施すものであり、上記I/P変換手段は、現フィールドの画像データに対してI/P変換処理を行なう現フィールドI/P変換部と、前フィールドの画像データに対してI/P変換処理を行なう前フィールドI/P変換部とを別個に備えている構成とすることができる。

【0042】上記の構成によれば、画像処理回路の最新の入力である画像データである現フィールドの画像データと、現フィールドの画像データの1フィールド前の画像データである前フィールドの画像データとに関し別個にI/P変換処理が施される。これにより、画像処理手段にて時系列的なデータ比較に使用される連続した2フィールドの画像データ（すなわち、現フィールドおよび前フィールドの画像データ）を得ることができる。

【0043】また、上記画像処理回路では、上記I/P変換手段は、現フィールドI/P変換部と前フィールドI/P変換部との両方で、時系列的なデータ比較を含むI/P変換処理を行なう構成とすることができる。

【0044】上記の構成によれば、現フィールドI/P変換部および前フィールドI/P変換部の両方で動き補償を行なった精度の高いI/P変換処理を行なうことができ、その結果を用いた画像処理手段における画像処理の精度も高くなる。

【0045】また、上記画像処理回路では、上記I/P変換手段は、現フィールドI/P変換部と前フィールド

I/P変換部との両方で、時系列的なデータ比較を含まないI/P変換処理を行なう構成とすることができる。

【0046】上記の構成によれば、現フィールドI/P変換部および前フィールドI/P変換部の両方で、I/P変換処理における時系列的なデータ比較を含まないため、時系列的なデータ比較を含む場合に比べデータ比較に用いるメモリが不要となるため、回路のコストダウンを図ることができる。

【0047】また、上記画像処理回路では、上記I/P変換手段は、現フィールドI/P変換部で時系列的なデータ比較を含むI/P変換処理を行ない、前フィールドI/P変換部で時系列的なデータ比較を含まないI/P変換処理を行なう構成とすることができる。

【0048】上記の構成によれば、現フィールドI/P変換部および前フィールドI/P変換部の一方でデータ比較を含むI/P変換処理を行なうため、両方でデータ比較を含む場合に比べコストが低く、かつ、両方でデータ比較を含まない場合に比べ画像処理の精度向上が見込める。

【0049】また、特にオーバーシュート駆動では、画像処理手段における画像処理は、前フィールドの画像データよりも現フィールドの画像データの精度に大きな影響を受けるため、現フィールドI/P変換部で時系列的なデータ比較を含むI/P変換処理を行なうことが画像処理の精度向上に対し有効となる。

【0050】また、上記画像処理回路では、上記I/P変換手段は、現フィールドI/P変換部と前フィールドI/P変換部とで、I/P変換処理に用いるメモリを共有することが好ましい。

【0051】上記の構成によれば、現フィールドI/P変換部と前フィールドI/P変換部との両方で時系列的なデータ比較を含むI/P変換処理を行なう場合、現フィールドI/P変換部および前フィールドI/P変換部で先に入力された画像データをデータ比較に用いられるまで格納するメモリが必要となる。この時、現フィールドI/P変換部と前フィールドI/P変換部とのI/P変換処理で使用されるデータの一部は共通するため、そのデータを格納するメモリを共有することで回路のコストダウンを図ることができる。

【0052】また、上記画像処理回路では、上記I/P変換手段は、現フィールドI/P変換部でmフィールド分のデータを用いたI/P変換処理を行ない、前フィールドI/P変換部で1以上(m-1)以下のフィールド分のデータを用いたI/P変換処理を行なうことが好ましい。

【0053】上記の構成によれば、前フィールドI/P変換部のI/P変換処理で使用されるデータは、現フィールドI/P変換部のI/P変換処理で使用されるデータに完全に含まれる。このため、時系列的なデータ比較に用いられるメモリの使用を最小限にすることができ、

回路のコストダウンを図ることができる。

【0054】しかしながら、I/P変換によっては(m-1)フィールド分のデータを用いた都合のよいI/P変換処理がない場合があることも予想される。その場合、1以上(m-1)未満のフィールド分のデータを用いたI/P変換を用いても同様の効果が期待できる。

【0055】また、上記画像処理回路では、上記画像処理手段は、時系列的なデータ比較を含む画像処理を施すものであり、上記I/P変換手段によって変換されたプログレッシブ信号は、画像処理手段への入力前に、画像処理手段に直接入力される現フィールドの画像データと、データ遅延用メモリに一旦格納され現フィールドの画像データに対して1フィールド遅らせて画像処理手段に入力される前フィールドの画像データとに分岐される構成とすることができる。

【0056】上記の構成によれば、現フィールドの画像データに対するI/P変換処理と前フィールドの画像データに対するI/P変換処理とが、同一のI/P変換手段によって行なわれるため、メモリの共有化によるコストダウンの効果に加えて、画像処理回路の回路構成が簡略化される。

【0057】また、上記画像処理回路では、上記画像処理手段は、時系列的なデータ比較を含む画像処理を施すものであり、上記I/P変換手段は、1または複数のフィールド分のデータを用いて、現フィールドの画像データと前フィールドの画像データとを作成し、補間データの追加された前フィールドおよび現フィールドの画像データを後段の画像処理手段に対して同時に出力する構成とすることができる。

【0058】上記の構成によれば、現フィールドの画像データに対するI/P変換処理と前フィールドの画像に対するI/P変換処理とが、同一のI/P変換手段によって行われ、かつ、I/P変換手段によって作成された(補間データの追加された)前フィールドおよび現フィールドの画像データが後段の画像処理手段に対して同時に出力される、すなわち、画像処理手段における画像処理に用いられる前フィールドおよび現フィールドの画像データの入力にタイムラグが発生しない。

【0059】したがって、画像処理手段に対して前フィールドおよび現フィールドの画像データの入力を同期させるためのデータ遅延用のメモリ等が必要なくなるため、メモリのコストダウンの効果に加えて、画像処理回路の回路構成も簡略化することができる。

【0060】

【発明の実施の形態】本発明の実施の一形態について図1ないし図15、図18ないし図21に基づいて説明すれば、以下の通りである。

【0061】本実施の形態では、TFT(Thin Film Transistor)液晶パネルを備えた液晶表示装置において、オーバーシュート駆動を行なう場合を例示して説明を行

なう。

【0062】図2に示すように、TFT液晶パネル1は、画面縦方向に平行に並んだ複数のソースバスライン2…と、上記ソースバスライン2…と直交するように画面横方向に平行に並んだ複数の走査ライン3…とを備えており、各ソースバスラインと走査ラインとの交点に対応してスイッチング素子であるTFT6（図3参照）を介して画素7（図3参照）が配置されている。ソースバスライン2…はパネル端にてソースドライバ4に接続され、走査ライン3…はパネル端にてゲートドライバ5に接続されている。

【0063】上記TFT液晶パネル1の表示においては、ゲートドライバ5から走査信号を1ラインずつ順次出力することにより、各走査ライン3に接続されるTFT6…を走査ライン3毎に順次ONさせ、ソースドライバ4で階調データに応じた階調電圧を各走査ライン3に対応する各画素7に書き込んでいく。

【0064】各画素7の簡単な構造は、図3のような構成になっており、TFT6がON（ゲートON）の時、TFT6のソース電極に印加されるデータ階調電圧がTFT6のドレイン電極を介して画素7を構成する一方の電極（画素電極）に印加される。また、画素7を構成する他方の電極は全画素に共通の共通電極8となっている。画素7に印加された電圧により液晶が応答して表示させたい輝度となる。

【0065】各画素7の液晶分子は、その誘電異方性により、電圧印加時に液晶分子長軸方向（ダイレクター）の向きを変化させ、その光学異方性により液晶を透過する光の偏光方向を変化させる。これにより、液晶を透過する光の光量を制御し、光の階調表現を行っている。この時、各画素に印加される電圧値が各階調毎に設定されており、液晶パネル1の1画素毎に、表示させたい階調の電圧がTFT6を介して1フレーム毎に印加されることで画像表示が行なわれる。

【0066】各画素7に印加された電荷はTFT6がOFFした後も保持される。すなわち、次のフレームに再び階調電圧が印加されるまで、階調電圧印加時の電荷が保持される。

【0067】しかしながら、階調輝度変化時の電圧印加では、各画素7において電荷は保持されるが、液晶誘電率の変化により電圧は変化してしまう。すなわち、階調輝度変化を行う場合、液晶分子ダイレクターの方向は前フレームの階調輝度を表す方向を向いている。ここに、新たな階調データに対応する電圧が印加されると、それに伴い誘電異方性により液晶分子の向きが変化し、それに伴う光学特性の変化により階調輝度が変わる。

【0068】ネマチック液晶の場合、液晶分子の応答速度は表示モードによって異なるが、およそ数ms～数十msのオーダーであり、TFT6がOFFした後も応答することになる。ここで、液晶分子はその誘電異方性により

その向きを変化させるので、必然的に液晶の誘電率が変化し電極間の容量が変化することになる。

【0069】液晶分子の方向の変化により、電極間液晶分子の誘電率が変化すると、蓄えられた電荷による電圧値も1フレーム内で変わることになる。つまり、液晶分子自身が1フレーム内で応答する特性を有していても、階調の変化時に通常の階調電圧を印加していたのでは、1フレーム内でその電圧が変わってしまい、表示させたい階調輝度を得ることができず、3フレーム程度の周期が必要となってしまふ。この誘電率の変化に伴う電圧の変化は、液晶の誘電率の変化分を加味した電圧を印加する駆動、すなわちオーバーシュート駆動によって補正することが可能である。

【0070】階調変化時に印加する適切な電圧値は、その階調間での容量比倍だけ電圧を付加して印加すれば、液晶が応答したあとに表示したい階調電圧となる（実際は液晶の応答速度などによりその電圧値は変化する）。

【0071】以下に、説明を簡単にするため、ゲートON時に液晶分子がほとんど応答せず、フレームの期間内には液晶分子の応答が完了すると仮定した場合のオーバーシュート駆動の例を説明する。

【0072】階調が256の場合、0, 1, 2, …, n, …, m, …, 255階調のときの階調電圧をそれぞれ、 $V_0, V_1, V_2, \dots, V_n, \dots, V_m, \dots, V_{255}$ とし、それぞれの階調における画素7の電極間の容量を $C_0, C_1, C_2, \dots, C_n, \dots, C_m, \dots, C_{255}$ とする。

【0073】ある画素にn階調が表示されているとすると、この時には電極間電圧は V_n であり、電極間の容量は C_n である。この時、次のフレームでm階調の表示をする場合、蓄えなければならない電荷Qは

$$Q = C_m \times V_m \quad \dots (1)$$

である。しかしながら、この場合、容量が C_n から C_m へ変化する前にTFT6がOFFになるため、電圧 V_m を印加した場合に実際に電極間に蓄えられる電荷 Q' は、

$$Q' = C_n \times V_m \quad \dots (2)$$

となってしまふ（ゲートON時に液晶分子がほとんど応答しないと仮定した場合）。

【0074】つまり、n階調の表示後、m階調の表示に必要な電荷Qを蓄えるために、画素7に印加しなければならない電圧 V' は、 $Q = C_n \times V' = C_n \times (C_m / C_n \times V_m)$ … (3) が成り立つことより、

$$V' = C_m / C_n \times V_m \quad \dots (4)$$

となる。

【0075】この電圧 V' を印加することにより、あらゆる階調変化においても所望の階調に1フレーム内に到達させることができる。したがって、オーバーシュート駆動は液晶の高速動画性能の向上に非常に有効である。

【0076】また、上記式(4)より、この電圧 V' を

得るためには、現フィールドの階調データと前フィールドの階調データとを比較する必要があることが分かる。上記比較を行なう比較回路はルックアップテーブルを用いる構成、演算処理回路による構成、あるいは、上記2つを混在させた回路構成が考えられる。また、比較回路にて比較される画像データは、R（レッド）、G（グリーン）、B（ブルー）表色系で表された信号であってもよく、あるいは、Y（輝度）、C（色度）で表された信号での比較も考えられる。

【0077】次に、本実施の形態に係る画像処理回路の構成を図1に示す。上記画像処理回路は、インターレース信号による画像データを受けて、該画像データに画像処理を施すものであり、I/P（インターレース/プログレッシブ）変換処理部（I/P変換手段）11、画像処理部（画像処理手段）12を備えている。また、必要に応じてP/I（プログレッシブ/インターレース）変換処理部13を備えていても良い。

【0078】上記画像処理回路では、入力されるインターレース信号に対して、画像処理部12での画像処理を施す前に、I/P変換処理部11にてインターレース信号からプログレッシブ信号への変換が行なわれる。ここで行なわれるI/P変換は、図4に示すように、インターレース信号においてデータの存在しないラインにデータを補間し、全てのラインにおいてデータの抜けがないプログレッシブ信号に変換する処理である。

【0079】上記プログレッシブ信号が入力された画像処理部12では、時系列的なデータ比較を含む画像処理を行なう場合、インターレース信号を用いて画像処理を行なう場合のような連続する2フィールドの画像データの異なるラインのデータを比較することによって生じる画像劣化を回避できる。これを図5を参照して説明すると以下の通りである。

【0080】すなわち、インターレース信号では、連続する2つのフィールド（現フィールドおよび前フィールド）において、例えば、現フィールドのN、N+2、N+4ラインにデータが存在する場合にはN+1、N+3ラインにデータが存在しないことになる。そして、前フィールドでは、逆に、N+1、N+3ラインにデータが存在し、N、N+2、N+4ラインにデータが存在しない。このため、インターレース信号の現フィールドと前フィールドとは、同一ラインについてのデータ比較は行なえないが、プログレッシブ信号では、図5に示すように、データ補間によって現フィールドおよび前フィールドの全てのラインにデータが存在しているため、同一ラインについてのデータ比較が可能である。

【0081】また、画像処理部12において、空間的なデータ比較を含む画像処理が行なわれる場合であっても、上記I/P変換処理によって補間されたデータにより、より多くのデータを用いて画像処理を行なうことができるため、画像処理の精度が向上する。

【0082】但し、I/P変換処理としては種々の方法が存在するものであり、上記I/P変換処理部11にて行なわれるI/P変換処理では、その全ての方法が有効といえるわけではない。

【0083】例えば、上記I/P変換において最も簡単な方法は、図6に示すように、連続する2フィールドのインターレース信号（2m-1フィールドおよび2mフィールド）を重ね合わせ1フィールドのプログレッシブ信号（mフィールド）とする方法や、あるいは、図7に示すように、インターレース信号においてデータの存在しないラインの前ラインもしくは後ラインの隣接ラインのデータをそのままコピーして補間する方法である。しかしながら、これらの方法では、最初に入力されるインターレース信号において既に存在しているデータがそのまま用いられており、I/P変換処理によって新たなデータが作成されているものではない。

【0084】上記I/P変換処理部11にて実施される画像処理として、上記図6および図7に示す方法を用いた場合は、画像処理の精度向上といった目的は達成できない、若しくは効果が小さい。これを以下に説明する。

【0085】I/P変換処理部11において図6の方法が適用される場合、画像処理部12で比較される連続した2フィールドのプログレッシブ信号は、同一ラインでのデータ比較を行なうことが可能である。しかしながら、ここで比較されるデータは、変換前のインターレース信号で考えた場合、実質的には2フィールド離れたデータでの比較が行なわれていることとなる。すなわち、この場合には、時間軸上の距離が離れたデータでの比較が行なわれることになり、画質劣化の要因となる。

【0086】また、I/P変換処理部11において図7の方法が適用される場合、画像処理部12で比較される連続した2フィールドのプログレッシブ信号は、見かけ上は同一ラインでのデータ比較が行なわれている。しかしながら、実際には、画像処理部12で比較される一方のデータは、インターレース信号上でデータの存在しないラインに対し、その前後何れかの隣接ラインのデータがコピーされた補間データである。このため、実質的には、図17に示した場合と同様、現フィールドおよび前フィールドでは1ラインずれたデータが比較されることとなり、画質劣化の要因となる。

【0087】したがって、本実施の形態に係るI/P変換処理部11では、適用されるI/P変換処理は、インターレース信号の各フィールドで新たなデータを作成して補間することで、インターレース信号からプログレッシブ信号への変換においてフィールド数を変化させないようにしている。さらに、空間的には、I/P変換処理によってデータが補間されるラインは、その副走査方向の前後のライン（前後とも複数ラインにわたってもよい）のデータを用いた演算によってデータが与えられるものとなっている。尚、インターレース信号にて表され

ているフィールドのデータにおいて、データの存在する各ラインまたはデータの存在しない各ラインは、主走査方向に沿ったライン、すなわち走査線であるため、空間的なI/P変換処理によってデータが補間されるラインは、副走査方向の前後のラインのデータを用いて補間データが演算されることとなる。

【0088】図18に示す例では、現フィールドのNラインにおいてデータを補間するために、I/P変換前のインターレース信号の画像データにおける前後2ライン分のデータ（すなわち、N-3、N-1、N+1、およびN+3ラインのデータ）を用いた演算によって補間データを求めている。

【0089】しかしながら、本願発明はこれに限定されるものではなく、データが補間されるラインの前後方向のそれぞれにおいて1ライン以上のラインのデータを用いて演算するものであれば、データの補間演算に用いられるラインの数は限定されない。また、データの補間演算に用いられるラインの数は、データが補間されるラインの前後方向で必ずしも一致しなくてもよい。

【0090】また、上記I/P変換処理部11では、現フィールドより前のフィールドのデータをメモリに格納し（方法によっては数フィールド前までのデータを格納する）、時系列的に連続する複数のフィールドのデータを比較して、動き補償を行なったより精度の高いI/P変換処理を行なうことも可能である。もちろん、メモリを用いずに空間的な比較（同一フィールド内でのデータ比較）のみで、I/P変換処理を行なっても良い。

【0091】I/P変換処理部11において、図18にて説明したような空間的なデータ比較に加えて、時系列的に連続する複数のフィールドのデータ比較をも行って、動き補償を行なったより精度の高いI/P変換処理を行う場合の具体例を、図19および図20に示す。

【0092】図19に示す例では、現フィールドのNラインにおけるデータを補間するために、同じく現フィールドのI/P変換前のインターレース信号の画像データにおけるN-3、N-1、N+1、およびN+3ラインのデータと、前フィールドのN-2、N、およびN+2ラインのデータとを用いた演算によって補間データを求めている。

【0093】上記図19の例では、I/P変換処理時のデータ補間において、空間的なデータ比較のために現フィールドのデータを用いると共に、時系列的なデータ比較のために前フィールドのデータをも用いているが、図20に示すように、時系列的なデータ比較のために、さらに後フィールドのデータを用いてもよい。

【0094】図20に示す例では、現フィールドのNラインにおけるデータを補間するために、同じく現フィールドのI/P変換前のインターレース信号の画像データにおけるN-3、N-1、N+1、およびN+3ラインのデータと、前フィールドのN-2、N、およびN+2

ラインのデータと、後フィールドのN-2、およびN+2ラインのデータとを用いた演算によって補間データを求めている。

【0095】このように、時系列的に連続する複数のフィールドのデータ比較を行って、動き補償を含んだI/P変換処理を行う場合には、データ補間される現フィールドに対して必ずしも前フィールドおよび後フィールドのデータの両方を用いなくともよい。すなわち、図19の例のように、前フィールドと現フィールドとのデータ比較のみで時系列的なI/P変換を行ってもよい。

【0096】また、図19および図20の例では、データ補間される現フィールドに対して、該現フィールドの時間軸方向の前後において1フィールド分のデータを用いた例を示している。しかしながら、本発明はこれに限定されるものではなく、時間軸方向の前後のそれぞれにおける複数フィールドのデータを用いてもよい。

【0097】さらに、補間データの演算においては、データが補間されるラインの副走査方向の前後のラインのデータ、および時間軸方向の前後のフィールドのデータが用いられるが、実際の演算にあたってはこれらのデータを間引いて用いることも可能である。例えば、図20に示すように、現フィールドのNラインのデータの補間演算においては、後フィールドのN-2、N+2のラインのデータは補間演算に用いられているが、後フィールドのNラインのデータを間引かれている。

【0098】上記画像処理部12によって画像処理されたデータは、映像表示装置がプログレッシブ信号に対応して表示可能なものであれば、画像処理部12から出力されるプログレッシブ信号をそのまま映像表示装置へ送出してよい。

【0099】しかしながら、現在の映像表示装置のコントローラはインターレース信号のみに対応している場合が多く、この場合は、画像処理部12から出力されるプログレッシブ信号をP/I変換処理部13にて再度インターレース信号に変換して映像表示装置へ送出する。

【0100】次に、上記画像処理回路の具体例について、図8を参照して以下に説明する。図8に示す画像処理回路は、第1のI/P変換処理部（現フィールドI/P変換部）21、第2のI/P変換処理部（前フィールドI/P変換部）22、画像処理部12を備えている。また、必要に応じて、P/I変換処理部13を備えていてもよい。

【0101】上記第1のI/P変換処理部21および第2のI/P変換処理部22は、画像データとして入力されるインターレース信号にI/P変換処理を施し、プログレッシブ信号に変換して出力する。第1のI/P変換処理部21は現フィールドのインターレース信号にI/P変換処理を施し、第2のI/P変換処理部22は前フィールドのインターレース信号にI/P変換処理を施す。

【0102】ここで、第2のI/P変換処理部22に前フィールドのインターレース信号を入力するために、第2のI/P変換処理部22の前段にはフィールドメモリ（図示せず）が配置されている。画像処理回路に入力された画像データは、最初に2つに分岐され、一つは直接第1のI/P変換処理部21へ入力されることで現フィールドの画像データとなるが、もう一方は、第2のI/P変換処理部22の前段で一旦メモリに保存された後、1フィールド遅延させられることにより前フィールドの画像データとされる。

【0103】また、図8に示す画像処理回路において、第1および第2のI/P変換処理部21、22は、現フィールドおよび前フィールドの画像データに対し、それぞれ個別にI/P変換処理を施すものである。このため、第1および第2のI/P変換処理部21、22では、それぞれ異なるI/P変換処理方法を採用することが可能である。

【0104】I/P変換処理方法には、前述したように、メモリを使用する方法（時系列的な比較を行なう方法）と、メモリを使用しない方法（時系列的な比較を行なわない方法）とがある。そのため、上記画像処理回路では、第1および第2のI/P変換処理部21、22のそれぞれで、メモリを使用する場合としない場合とで分けられた以下の4つの構成が考えられる。

①第1および第2のI/P変換処理部21、22の両方にメモリを使用しない方法を用いた構成。

②第1および第2のI/P変換処理部21、22の両方にメモリを使用する方法を用いた構成。

③第1のI/P変換処理部21にメモリを使用する方法を用い、第2のI/P変換処理部22にメモリを使用しない方法を用いた構成。

④第1のI/P変換処理部21にメモリを使用しない方法を用い、第2のI/P変換処理部22にメモリを使用する方法を用いた構成。

【0105】上記①の構成では、第1および第2のI/P変換処理部21、22の何れにもメモリを使用しないため低コストの回路化が期待できる。但し、第1および第2のI/P変換処理部21、22のそれぞれにおけるI/P変換精度は低く、画像処理部12における画像処理後の画質も最も低い。

【0106】逆に、上記②の構成では、第1および第2のI/P変換処理部21、22のそれぞれにおけるI/P変換精度は高くなるため、画像処理部12における画像処理後の画質も最も高くなるが、第1および第2のI/P変換処理部21、22の両方にメモリを使用することによる回路のコストアップが招来される。

【0107】次に、上記③または④の構成は、第1および第2のI/P変換処理部21、22の一方のみにメモリを用いる構成である。ここで、上記画像処理部12が特にオーバーシュート駆動に係る画像処理を施すもので

ある場合、画像処理部12で行なわれるデータ比較は現フィールドの情報が主なため、現フィールドの情報が正確であればかなりの効果が得られる。

【0108】そのため、オーバーシュート駆動回路においては、現フィールド用の第1のI/P変換処理部21にてメモリを用いて精度の高いI/P変換処理を行い、前フィールド用の第2のI/P変換処理部22ではメモリを省略してコストダウンの効果を図る③の構成が、比較的安価な構成で高い画質向上効果が得られるため、最も好ましい構成であるといえる。

【0109】一方の④の構成は、オーバーシュート駆動回路においては、③と同程度の回路規模である（同程度のコスト効果）に関わらず、その画質向上効果は小さい。

【0110】また、上述したように、画質向上の効果が最も大きいのは、第1および第2のI/P変換処理部21、22の両方にメモリを用いる構成であるが、この時、メモリの数が増加することによる回路のコストアップの問題がある。そこで、第1および第2のI/P変換処理部21、22の両方にメモリを用いて画質向上の効果を最大限に発揮すると共に、第1および第2のI/P変換処理部21、22で用いられるメモリを共有させ、回路のコストダウンを図ることも可能である。このような構成の画像処理回路について図9を参照して以下に説明する。

【0111】図9の構成の画像処理回路では第1のI/P変換処理部（現フィールドI/P変換部）21'および第2のI/P変換処理部（前フィールドI/P変換部）22'は、何れもメモリに格納された複数のフィールドの画像データを用いてI/P変換処理を行なうものであり、該I/P変換処理で用いられる複数のフィールドの画像データは、共有メモリ（I/P変換処理に用いるメモリ）23において格納される。

【0112】第1のI/P変換処理部21'、第2のI/P変換処理部22'、および共有メモリ23によって行なわれるI/P変換処理を図10を参照して説明すると以下の通りである。尚、図10は、第1のI/P変換処理部21'、第2のI/P変換処理部22'共に、4フィールド分の画像データを用いてI/P変換処理を行なう場合を例示している。

【0113】ここで、Nフィールドの画像データが入力された時点で考えると、現フィールド用の第1のI/P変換処理部21'では、(N-3)～Nフィールドのデータを用いてI/P変換処理が行なわれ、前フィールド用の第2のI/P変換処理部22'では、(N-4)～(N-1)フィールドのデータを用いてI/P変換処理が行なわれる。

【0114】したがって、この場合、共有メモリ23では、(N-4)フィールドからNフィールドまでの5フィールド分の画像データを格納する必要があり、このた

21

め該共有メモリ23は5つのフィールドメモリ23aないし23eを備えている。すなわち、図10の構成では、第1のI/P変換処理部21'、第2のI/P変換処理部22'のそれぞれでmフィールド分の画像データを用いてI/P変換処理を行なう場合に、フィールドメモリの数を2mでなく、m+1とすることができ、メモリ削減によるコストダウンの効果を得ることができる。

【0115】また、図10の構成では、画像データは最初に共有メモリ23に入力されているが、第1のI/P変換処理部21'または第2のI/P変換処理部22'に10 入力された後、共有メモリ23に書き込まれる構成であっても良い。また、次のN+1フィールドが入力された時には、N-4フィールドのデータが格納されているフィールドメモリにおいてデータが書き換えられる。

【0116】また、図10の構成の変形例として図11の構成も考えられる。図11の構成では、第1のI/P変換処理部21'は4フィールド分の画像データを用いてI/P変換処理を行なうものであるが、第2のI/P変換処理部22'は3フィールド分の画像データを用いてI/P変換処理を行なうものとする。

【0117】ここで、Nフィールドの画像データが入力された時点で考えると、現フィールド用の第1のI/P変換処理部21'では、(N-3)~Nフィールドのデータを用いてI/P変換処理が行なわれ、前フィールド用の第2のI/P変換処理部22'では、(N-3)~(N-1)フィールドのデータを用いてI/P変換処理が行なわれる。但し、第1のI/P変換処理部21'および第2のI/P変換処理部22'では、この時必ずしも(N-3)~(N-1)フィールドの全てのデータを用いてI/P変換処理をする必要はない。

【0118】言い換えれば、現フィールド用の第1のI/P変換処理部21'でmフィールド(第1のI/P変換処理部21'の例では、m=4)のデータを用いてI/P変換処理が行なわれる場合、第2のI/P変換処理部22'でのI/P変換によっては(m-1)フィールドのデータを用いた都合のよいI/P変換処理がない場合があることも予想される。すなわち、現状のI/P変換処理部は、カスタムチップ化されており、特に、フィールド比較によるI/P変換を行うものは、8フィールド前まで参照するタイプのものまでである。しかしながら、必ずしも1~8フィールドのタイプまで全てがラインナップされているわけではない。例えば、8(=m)フィールド前まで参照してI/P変換を行う変換回路があったとしても、7(=m-1)フィールド前まで参照してI/P変換を行う変換回路が存在しない場合もありうる。

【0119】そのような場合、1以上(m-1)未満のフィールド分のデータを用いたI/P変換を用いても同様の効果が期待できる。

【0120】したがって、この場合、共有メモリ23では、(N-3)フィールドからNフィールドまでの4フ

22

ィールド分の画像データを格納する必要がある、このため該共有メモリ23は4つのフィールドメモリ23aないし23dを備えている。すなわち、図11の構成では、第2のI/P変換処理部22'のI/P変換処理で用いるデータのフィールド数を、第1のI/P変換処理部21'よりも一つ少なくすることにより、図10の構成よりもさらに1フィールド分のメモリを減らすことができる。

【0121】また、図11の構成のさらに変形例として、I/P変換処理部の共有化を図った構成も考えられる。この場合の構成を図12に示す。図12の構成では、図11の構成に比べ第2のI/P変換処理部22'が省略されており、第1のI/P変換処理部(現フィールドI/P変換部、前フィールドI/P変換部)21"が前フィールドおよび現フィールドのプログレッシブ信号を出力する構成となっている。

【0122】第1のI/P変換処理部21"において、複数のフィールドの画像データを用いてI/P変換処理を行なう場合、上記複数のフィールドの画像データは、第1のI/P変換処理部21"に対して同時に入力される必要があるわけではなく、古い側のデータから順次入力されるものである。

【0123】すなわち、図11の構成と同様に、現フィールドにおいては4フィールド分の画像データを用いてI/P変換処理を行ない、前フィールドにおいては3フィールド分の画像データを用いてI/P変換処理を行なう場合、図12の構成では、先ずN-3フィールドからN-1フィールドまでのインターレース信号がメモリ23から第1のI/P変換処理部21"に入力された時点で前フィールドのプログレッシブ信号を演算して出力し、その後、Nフィールドのインターレース信号の入力を受けて現フィールドのプログレッシブ信号を演算して出力することができる。

【0124】上記図12の構成では、メモリの共有によるコスト削減効果のみでなく、I/P変換処理部の共有化による画像処理回路の回路構成の簡略化を図ることができる。但し、この場合、第1のI/P変換処理部21"から出力される現フィールドおよび前フィールドの画像データにタイムラグが生じるため、これらを同期させる構成が必要となる。現フィールドおよび前フィールドの画像データにタイムラグを生じさせず、かつ、I/P変換処理部の共有化を実現できる構成としては図13のような構成が考えられる。

【0125】図13の構成では、画像処理回路に入力される画像データは、最初にI/P変換処理部(現フィールドI/P変換部、前フィールドI/P変換部)24に入力され、インターレース信号からプログレッシブ信号に変換される。上記プログレッシブ信号はI/P変換処理部24からの出力後に分岐され、一方の信号は現フィールドのデータとして直接画像処理部12へ入力される

が、他方の信号は一旦メモリ（データ遅延用メモリ）25に格納され現フィールドのデータとは1フィールド遅れて画像処理部12へ入力されることで前フィールドのデータとなる。

【0126】また、図13の構成において、I/P変換処理部24がmフィールド分の画像データを用いてI/P変換処理を行なうものである場合、I/P変換処理部24においてはmフィールド分のフィールドメモリ（図示せず）が具備される。さらに、前フィールドのデータを格納するメモリ25としては1フィールド分のフィールドメモリが用いられるため、全体のフィールドメモリの数はm+1となり、メモリ削減によるコストダウンの効果は図10の構成と同じとなる。しかしながら、図12の構成では、I/P変換処理部24をも現フィールドと前フィールドとで共有できるので、画像処理回路の回路構成が図10の構成よりもさらに簡略化されるといった効果がある。

【0127】また、図21に示すように、上記図12における第1のI/P変換処理部21'に代えて、現フィールドおよび前フィールドの画像データが同時に出力されるように工夫された専用の（すなわち、時系列比較専用の）I/P変換処理部26を用いてもよい。上記I/P変換処理部26では、図12における第1のI/P変換処理部21'とは異なり、出力される現フィールドおよび前フィールドの画像データにタイムラグが発生しない。このため、I/P変換処理部26から出力される現フィールドおよび前フィールドの画像データを同期させるための図13に示すような構成（すなわち、メモリ25）が必要なくなり、画像処理回路の回路構成がさらに簡略化される。

【0128】以上の説明においては、画像処理部12は、時系列的なデータ比較を含むオーバーシュート駆動を例にとって説明したが、本発明の画像処理回路はこれに限定されるものではなく、空間的なデータ比較を含むホワイトバランス補正処理や、色補正処理を行なう画像処理回路に適用することも可能である。

【0129】液晶パネルは、表示画素の透過率（階調）を変化させると波長分散のため、RGB輝度のバランスが変化してしまう。そのため透過率の変化に対して白の色度座標が図14の実線のような変化を示す。尚、図14においては、縦軸及び横軸は色度座標を示しており、透過率を10%から100%まで変化させる間の複数のプロットを線で結んだものを図示している。図14では、透過率を上げるに伴って色度が右上に向かって上昇していることが分かる。すなわち、明るくなるほど表示が黄色くなることを示している。

【0130】しかし本来、透過率を変化させても色度座標は変化しないのが好ましい。そこで、透過率に応じてRGBの階調電圧を独立に制御することにより、RGB輝度のバランスを調整し、色度座標を変化させないよう

にする処理がホワイトバランス補正処理である。

【0131】ホワイトバランス補正処理（WB補正処理）を実施する場合には、図14の破線に示すように、表示画素の透過率（階調）を変化させても、色度座標の変化は殆ど発生しなくなることがわかる。

【0132】液晶パネルによるカラー表示では、一つのカラー画素においてR、G、B各色の副画素が配列されているため、ホワイトバランス補正処理ではこれらの副画素における階調値の比較が必要である。但し、液晶パネルでは、単なる1カラー画素の色を周辺のカラー画素との関わり無しに補正すると、画像全体中でのバランスを崩すことがあるため、より高精細で鮮やかな表示を行なうには、隣接するカラー画素間（隣接する走査ライン上に存在するものを含む）での色比較を行い画像のバランスを考慮したホワイトバランス補正を行なう必要がある。

【0133】このように、画像処理回路が空間的なデータ比較によるホワイトバランス補正処理を行なう場合であっても、該画像処理回路に入力される画像データがインターレース信号である場合には、隣接するライン同士でデータ比較しようとする時に、比較されるべき画像データの一部分が同一フィールド内に存在しない場合があり、この場合には画像処理の精度が低くなる。

【0134】これに対し、本発明の画像処理回路では、ホワイトバランス補正処理を行なう画像処理部の前にI/P変換処理を行なうことで、画像処理部ではデータの抜けの無いプログレッシブ信号を用いることができ、ホワイトバランス補正処理の精度を向上させることができる。

【0135】また、通常の画像表示装置では、該画像表示の色再現範囲がデバイス特性によって、画像の送り手が想定している色再現範囲とは異なったものである場合が多い。このような画像表示装置で画像の表示を行うと送り手の想定している色とは異なった色が表示されてしまう。

【0136】色補正処理は、上記問題を解決するための処理であり、色補正処理では各画素のRGB信号を参照し、ホワイトバランスを崩すこと無しにデバイス特性を補正されたRGB信号を出力することができる。もちろん、上記色補正処理を行っても画像表示装置の色再現範囲が変化するわけではないので、あくまでも、画像表示装置の色再現範囲内で補正するのみである。よって、画像表示装置の再現範囲以外の色に対して効果はないが、それ以内の色に対しては送り手の想定している色に近い色を再現することが可能である。

【0137】上記色補正処理においても、R、G、B各色に対応して配列される副画素における階調値の比較が必要であり、空間的に連続する画素のデータ比較が含まれる（色補正処理では、時系列的なデータ比較が含まれる場合もある）。但し、上色補正処理でも、単なる1カ

10

20

30

40

50

ラー画素の色を周辺のカラー画素との関わり無しに補正すると、画像全体中でのバランスを崩すことがあるため、より高精細で鮮やかな表示を行なうには、隣接するカラー画素間（隣接する走査ライン上に存在するものを含む）での色比較を行い画像のバランスを考慮した色補正を行なう必要がある。

【0138】このため、該画像処理回路に入力される画像データがインターレース信号である場合には、隣接するライン同士でデータ比較しようとする時に、比較されるべき画像データの一部分が同一フィールド内に存在しない場合があり、この場合には画像処理の精度が低くなる。

【0139】したがって、色補正処理においても本発明を適用することにより、色補正処理を行なう画像処理部の前にI/P変換処理を行なうことで、画像処理部ではデータの抜けの無いプログレッシブ信号を用いることができ、色補正処理の精度を向上させることができる。

【0140】次に、市販の液晶表示装置を用い、LCD（Liquid Crystal Display）コントローラの前に本発明を適用した画像処理回路を搭載した画像処理装置の効果*20

	従来構成	本発明の構成
液晶応答速度	30msec (70msec)中間期間	15msec
透過率による白色の色度変化 (100%→10%間)	$\Delta X=0.02$ $\Delta Y=0.04$	$\Delta X=0.00$ $\Delta Y=0.01$

【0143】

【発明の効果】本発明の第1の構成の画像処理回路は、以上のように、入力されたインターレース方式の画像データを、プログレッシブ方式の画像データに変換するI/P変換手段と、上記I/P変換手段によってプログレッシブ方式に変換された画像データに対して、画像処理を施す画像処理手段とを備えており、上記I/P変換手段は、インターレース方式の画像データの各フィールドで新たなデータを作成して補間することで、インターレース方式の画像データからプログレッシブ方式の画像データへの変換時に全画像データのフィールド数を変化させないものであると共に、I/P変換処理によってデータが補間されるラインは、少なくとも、その副走査方向の前後の1または複数のラインのデータを用いた演算によってデータが与えられる構成である。

【0144】それゆえ、画像処理手段では、プログレッシブ方式の画像データに対して画像処理が施される。ここで、上記画像処理手段における画像処理が時系列的なデータ比較を含むものである場合、異なるラインのデータを比較することによって生じる画像劣化を回避できるという効果を奏する。

【0145】また、上記画像処理手段における画像処理が空間的なデータ比較を含むものである場合、全てのラ

*を調べた。上記画像処理装置の構成を図15に示す。図15の構成では、入力回路31、I/P変換回路32、ホワイトバランス処理回路33、オーバーシュート駆動回路（OS駆動回路）34、P/I変換回路35、LCDコントローラ36が備えられている。尚、ここでは、I/P変換回路32がI/P変換手段に相当し、ホワイトバランス処理回路33およびオーバーシュート駆動回路34が画像処理手段に相当する。

【0141】上記液晶表示装置の表示性能を確認するため、上記図15の構成においてI/P変換回路32、ホワイトバランス処理回路33、オーバーシュート駆動回路34、およびP/I変換回路35を省略した画像処理装置を用いた従来構成と、上記図15の構成の画像処理装置を用いた本発明の構成との表示特性を比較したところ、表1に示すように、応答速度が速く、動画表示にすぐれ、階調による色変化の少ない液晶表示装置が得られた。

【0142】

【表1】

インでデータの抜けの無いプログレッシブ信号を用いて画像処理を行なうことで、画像処理の精度を向上させることができるという効果を奏する。

【0146】また、上記I/P変換手段では、インターレース方式の画像データの各フィールド内で新たなデータを作成して補間することで、インターレース方式の画像データからプログレッシブ方式の画像データへの変換時に全画像データのフィールド数を変化させないようにすると共に、I/P変換処理によってデータが補間されるラインが、その前後のラインのデータを用いた演算によってデータが与えられる構成とすることで、画像処理の精度向上といった効果を確実に得ることができるという効果を奏する。

【0147】また、上記第1の構成の画像処理回路においては、上記画像処理手段は、時系列的なデータ比較を含む画像処理を施すものであり、上記I/P変換手段は、I/P変換処理によってデータが補間されるラインに対し、データが補間されるラインの副走査方向の前後の1または複数のラインのデータと、データが補間されるラインを含むフィールドの前後の1または複数のフィールドのデータとを用いた演算によって補間データを与えるものである構成とすることができる。

【0148】それゆえ、I/P変換処理において、空間

的な比較（同一フィールド内でのデータ比較）のみでなく、時系列的に連続する複数のフィールドのデータを比較して、動き補償を行なったより精度の高いI/P変換処理を行なうことができ、画像処理のさらなる精度向上を得ることができるという効果を奏する。

【0149】また、本発明の第2の構成の画像処理回路は、以上のように、入力されたインターレース方式の画像データをプログレッシブ方式の画像データに変換するI/P変換手段と、上記I/P変換手段によってプログレッシブ方式に変換された画像データに対して、画像処理として、オーバーシュート駆動に係る画像処理を施す画像処理手段とを備えている構成である。

【0150】それゆえ、画像処理手段では、プログレッシブ方式の画像データに対して画像処理が施される。ここで、オーバーシュート駆動に係る画像処理は時系列的なデータ比較を含むものであるため、異なるラインのデータを比較することによって生じる画像劣化を回避できるという効果を奏する。

【0151】また、本発明の第3の構成の画像処理回路は、以上のように、入力されたインターレース方式の画像データをプログレッシブ方式の画像データに変換するI/P変換手段と、上記I/P変換手段によってプログレッシブ方式に変換された画像データに対して、画像処理として、表示手段のデバイス特性を補正する色補正処理を施す画像処理手段とを備えている構成である。

【0152】それゆえ、画像処理手段では、プログレッシブ方式の画像データに対して画像処理が施される。ここで、表示手段のデバイス特性を補正する色補正処理は主に空間的なデータ比較を含むものであるため、全てのラインでデータの抜けが無いプログレッシブ信号を用いて画像処理を行なうことで、画像処理の精度を向上させることができるという効果を奏する。

【0153】また、上記色補正処理は時系列的なデータ比較を含む場合もあり、この場合は異なるラインのデータを比較することによって生じる画像劣化を回避できるという効果を併せて奏する。

【0154】また、本発明の第4の構成の画像処理回路は、以上のように、入力されたインターレース方式の画像データをプログレッシブ方式の画像データに変換するI/P変換手段と、上記I/P変換手段によってプログレッシブ方式に変換された画像データに対して、画像処理として、ホワイトバランス補正処理を施す画像処理手段とを備えている構成である。

【0155】それゆえ、画像処理手段では、プログレッシブ方式の画像データに対して画像処理が施される。ここで、ホワイトバランス補正処理は空間的なデータ比較を含むものであるため、全てのラインでデータの抜けが無いプログレッシブ信号を用いて画像処理を行なうことで、画像処理の精度を向上させることができるという効果を奏する。

【0156】上記第1ないし第3の構成の画像処理回路では、上記画像処理手段は、時系列的なデータ比較を含む画像処理を施すものであり、上記I/P変換手段は、現フィールドの画像データに対してI/P変換処理を行なう現フィールドI/P変換部と、前フィールドの画像データに対してI/P変換処理を行なう前フィールドI/P変換部とを別個に備えている構成とすることができる。

【0157】それゆえ、画像処理手段にて時系列的なデータ比較に使用される連続した2フィールドの画像データ（すなわち、現フィールドおよび前フィールドの画像データ）を得ることができるという効果を奏する。

【0158】また、上記画像処理回路では、上記I/P変換手段は、現フィールドI/P変換部と前フィールドI/P変換部との両方で、時系列的なデータ比較を含むI/P変換処理を行なう構成とすることができる。

【0159】それゆえ、現フィールドI/P変換部および前フィールドI/P変換部の両方で動き補償を行なった精度の高いI/P変換処理を行なうことで、その結果を用いた画像処理手段における画像処理の精度も高くなるという効果を奏する。

【0160】また、上記画像処理回路では、上記I/P変換手段は、現フィールドI/P変換部と前フィールドI/P変換部との両方で、時系列的なデータ比較を含まないI/P変換処理を行なう構成とすることができる。

【0161】それゆえ、現フィールドI/P変換部および前フィールドI/P変換部の両方で、I/P変換処理における時系列的なデータ比較を含まないため、データ比較に用いるメモリが不要となり、回路のコストダウンを図ることができるという効果を奏する。

【0162】また、上記画像処理回路では、上記I/P変換手段は、現フィールドI/P変換部で時系列的なデータ比較を含むI/P変換処理を行ない、前フィールドI/P変換部で時系列的なデータ比較を含まないI/P変換処理を行なう構成とすることができる。

【0163】それゆえ、現フィールドI/P変換部および前フィールドI/P変換部の一方でデータ比較を含むI/P変換処理を行なうため、両方でデータ比較を含む場合に比べコストが低く、かつ、両方でデータ比較を含まない場合に比べ画像処理の精度向上が見込める。特に、前フィールドの画像データよりも現フィールドの画像データの精度に大きな影響を受ける画像処理（例えば、オーバーシュート駆動に係る画像処理）では、現フィールドI/P変換部で時系列的なデータ比較を含むI/P変換処理を行なうことで精度向上に有効な画像処理を行なうことができるという効果を奏する。

【0164】また、上記画像処理回路では、上記I/P変換手段は、現フィールドI/P変換部と前フィールドI/P変換部とで、I/P変換処理に用いるメモリを共有することが好ましい。

【0165】それゆえ、現フィールド I/P 変換部と前フィールド I/P 変換部との I/P 変換処理で共通して使用されるデータを格納するメモリを共有することで回路のコストダウンを図ることができるという効果を奏する。

【0166】また、上記画像処理回路では、上記 I/P 変換手段は、現フィールド I/P 変換部で m フィールド分のデータを用いた I/P 変換処理を行ない、前フィールド I/P 変換部で 1 以上 (m-1) 以下のフィールド分のデータを用いた I/P 変換処理を行なうことが好ましい。

【0167】それゆえ、前フィールド I/P 変換部の I/P 変換処理で使用されるデータが、現フィールド I/P 変換部の I/P 変換処理で使用されるデータに完全に含まれ、時系列的なデータ比較に用いられるメモリの使用を最小限にすることができ、回路のコストダウンを図ることができるという効果を奏する。

【0168】また、上記画像処理回路では、上記画像処理手段は、時系列的なデータ比較を含む画像処理を施すものであり、上記 I/P 変換手段によって変換されたプログレッシブ信号は、画像処理手段への入力前に、画像処理手段に直接入力される現フィールドの画像データと、データ遅延用メモリに一旦格納され現フィールドの画像データに対して 1 フィールド遅らせて画像処理手段に入力される前フィールドの画像データとに分岐される構成とすることができる。

【0169】それゆえ、現フィールドの画像データに対する I/P 変換処理と前フィールドの画像データに対する I/P 変換処理とが、同一の I/P 変換手段によって行なわれる、メモリの共有化によるコストダウンに加えて、画像処理回路の回路構成が簡略化されるという効果を奏する。

【0170】また、上記画像処理回路では、上記画像処理手段は、時系列的なデータ比較を含む画像処理を施すものであり、上記 I/P 変換手段は、1 または複数のフィールド分のデータを用いて、現フィールドの画像データと前フィールドの画像データとを作成し、補間データの追加された前フィールドおよび現フィールドの画像データを後段の画像処理手段に対して同時に出力する構成とすることができる。

【0171】それゆえ、I/P 変換手段によって作成された前フィールドおよび現フィールドの画像データが後段の画像処理手段に対して同時に出力されることで、画像処理手段における画像処理に用いられる前フィールドおよび現フィールドの画像データの入力にタイムラグが発生しない。

【0172】このため、画像処理手段に対して前フィールドおよび現フィールドの画像データの入力を同期させるためのデータ遅延用のメモリ等が必要なくなり、メモリのコストダウンの効果に加えて、画像処理回路の回路

構成も簡略化することができるという効果を奏する。

【図面の簡単な説明】

【図 1】本発明の一実施形態を示すものであり、画像処理回路の概略構成を示すブロック図である。

【図 2】画像表示装置における液晶表示パネルの概略構成を示す説明図である。

【図 3】上記液晶表示パネルの画素構成を示す回路図である。

【図 4】上記画像処理回路における I/P 変換処理を示す説明図である。

【図 5】プログレッシブ信号による、時系列的なデータ比較を示す説明図である。

【図 6】上記画像処理回路において好適でない I/P 変換処理の一例を示す説明図である。

【図 7】上記画像処理回路において好適でない I/P 変換処理の他の例を示す説明図である。

【図 8】上記画像処理回路の構成の一例を示すブロック図である。

【図 9】上記画像処理回路の構成の他の例を示すブロック図である。

【図 10】図 9 の画像処理回路の具体的構成の一例を示すブロック図である。

【図 11】図 9 の画像処理回路の具体的構成の他の例を示すブロック図である。

【図 12】上記画像処理回路の構成のさらに他の例を示すブロック図である。

【図 13】上記画像処理回路の構成のさらに他の例を示すブロック図である。

【図 14】ホワイトバランス処理を行なった場合の、透過率と色度変化との関係を示すグラフである。

【図 15】本発明の画像処理回路を用いた画像処理装置の概略構成を示すブロック図である。

【図 16】従来の画像処理回路の構成を示すブロック図である。

【図 17】インターレース信号による、時系列的なデータ比較を示す説明図である。

【図 18】上記画像処理回路における I/P 変換処理で演算されるラインの参照データの一例を示す説明図である。

【図 19】上記画像処理回路における I/P 変換処理で演算されるラインの参照データの他の例を示す説明図である。

【図 20】上記画像処理回路における I/P 変換処理で演算されるラインの参照データの他の例を示す説明図である。

【図 21】上記画像処理回路の図 12 の構成とは異なる、さらに他の例を示すブロック図である。

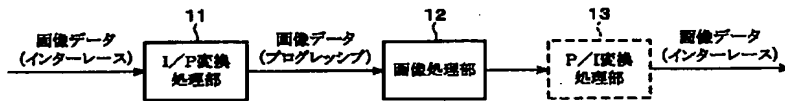
【符号の説明】

11 I/P 変換処理部 (I/P 変換手段)
12 画像処理部 (画像処理手段)

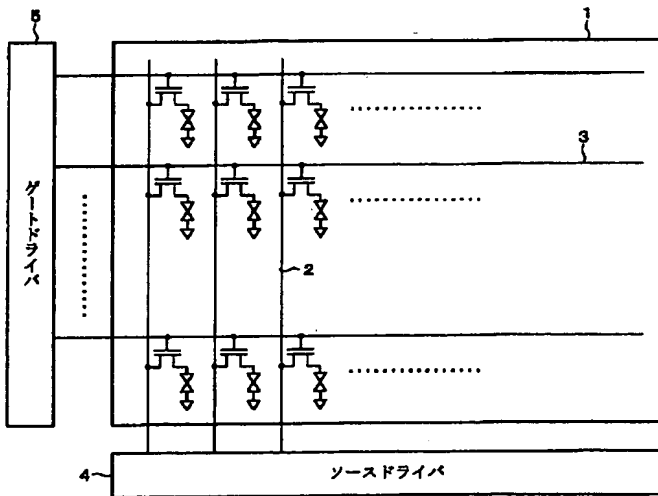
31		32	
21, 21'	第1のI/P変換処理部（現フィールドI/P変換部）	* 24	I/P変換処理部（現フィールドI/P変換部, 前フィールドI/P変換部）
22, 22'	第2のI/P変換処理部（前フィールドI/P変換部）	25	メモリ（データ遅延用メモリ）
21''	第1のI/P変換処理部（現フィールドI/P変換部, 前フィールドI/P変換部）	32	I/P変換回路（I/P変換手段）
23	共有メモリ（I/P変換処理に用いるメモリ）	33	ホワイトバランス処理回路（画像処理手段）
		34	OS駆動回路（画像処理手段）

*

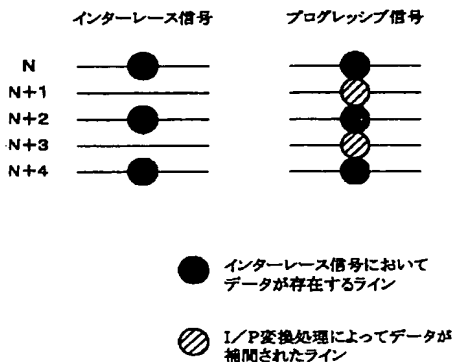
【図1】



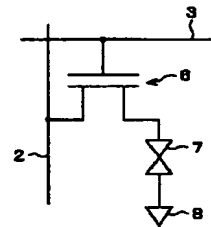
【図2】



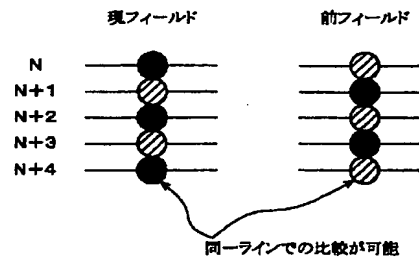
【図4】



【図3】

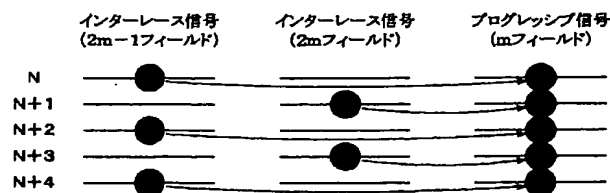


【図5】

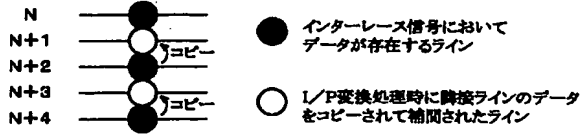


- インターレース信号においてデータが存在するライン
- ◐ I/P変換処理によってデータが補間されたライン

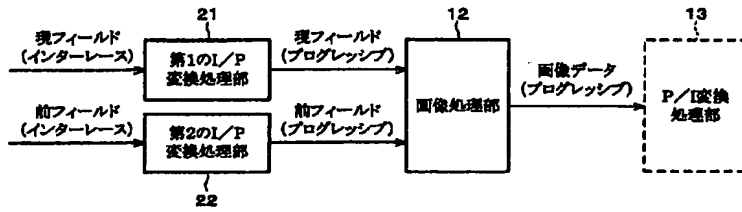
【図6】



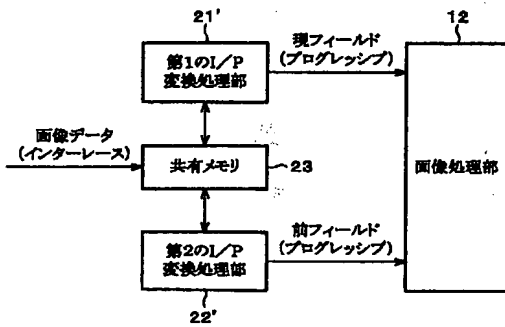
【図7】



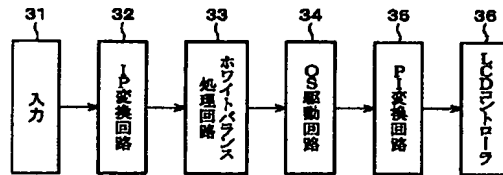
【図8】



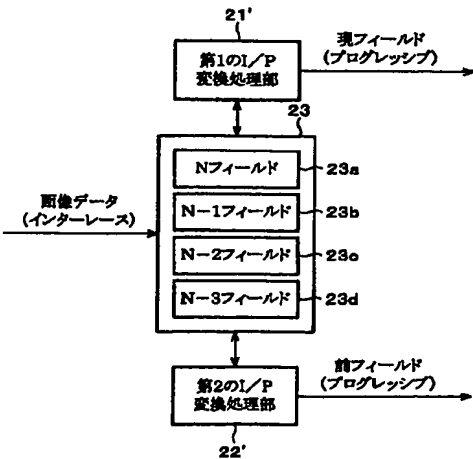
【図9】



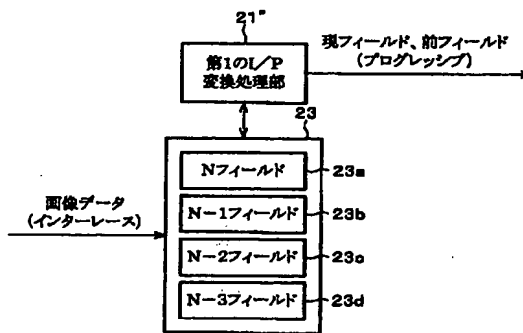
【図15】



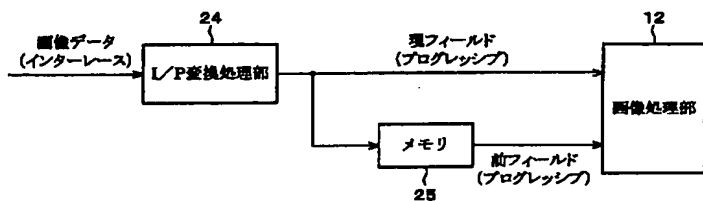
【図11】



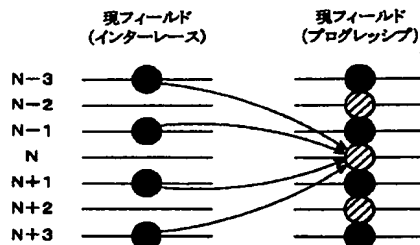
【図12】



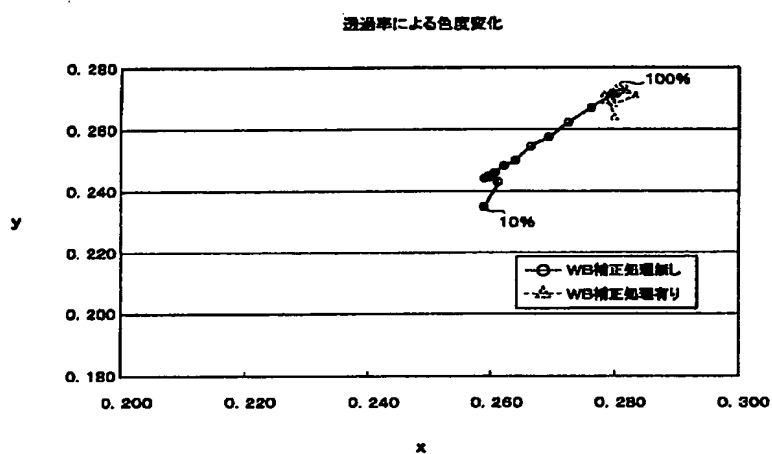
【図13】



【図18】

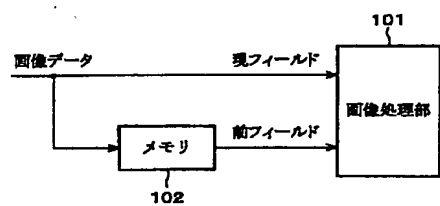


【図14】

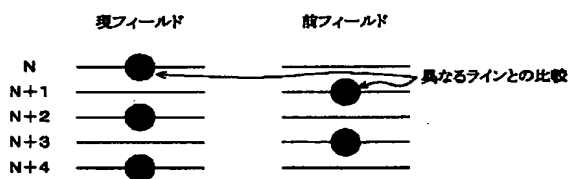


● インターレース信号においてデータが存在するライン
 ⊗ I/P変換処理によってデータが補間されたライン

【図16】

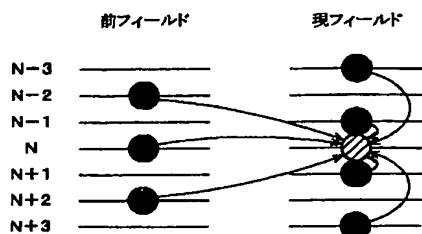


【図17】



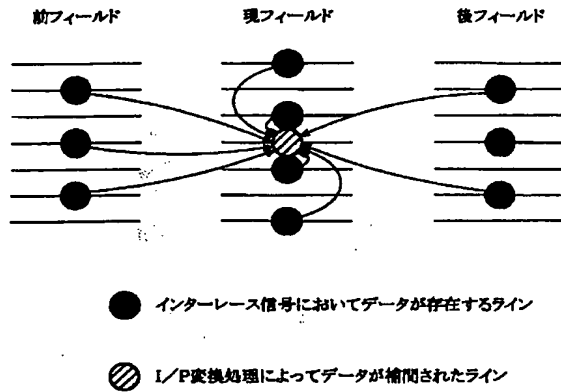
● インターレース信号においてデータが存在するライン

【図19】

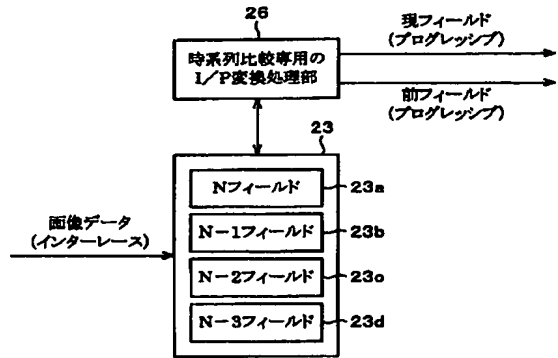


● インターレース信号においてデータが存在するライン
 ⊗ I/P変換処理によってデータが補間されたライン

【図20】



【図21】



フロントページの続き

(51)Int.Cl. ⁷		識別記号		F I		キーワード (参考)
G 0 9 G	3/20	6 5 0		G 0 9 G	3/20	6 5 0 E 5 C 0 8 2
	3/36				3/36	
	5/00				5/00	5 5 0 H
		5 5 0		H 0 4 N	7/01	G
H 0 4 N	7/01				9/64	Z
	9/64			G 0 9 G	5/00	5 2 0 T

(72)発明者 宮田 英利
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 宮地 弘一
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 陣田 章仁
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

F ターム (参考) 5C006 AA01 AA16 AA22 AC29 AC30
AF02 AF03 AF04 AF06 AF19
AF42 AF44 AF46 AF47 AF84
AF85 BB16 BC12 BC16 BF02
BF07 BF14 BF24 BF28 FA14
FA18 FA25 FA29 FA44 FA51
FA54 FA56
5C058 AA06 BB18 BB25
5C063 AA01 AA06 AC01 BA04 CA01
CA18
5C066 AA11 BA01 CA05 DD03 EA14
EC02 GA01 GB01 KE09 KM13
LA02
5C080 AA10 BB05 CC03 DD02 DD05
DD08 DD09 DD23 DD27 EE19
EE29 EE30 EE32 FF11 GG08
GG12 GG14 GG15 GG17 JJ02
JJ03 JJ05 KK43
5C082 AA01 BA12 BA34 BB15 BC06
BC07 BC19 BD02 CA12 CA81
CA84 CB01 DA53 MM10